

(11)Publication number : 2001-112251

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H02M 3/28

(21)Application number : 11-284234

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 05.10.1999

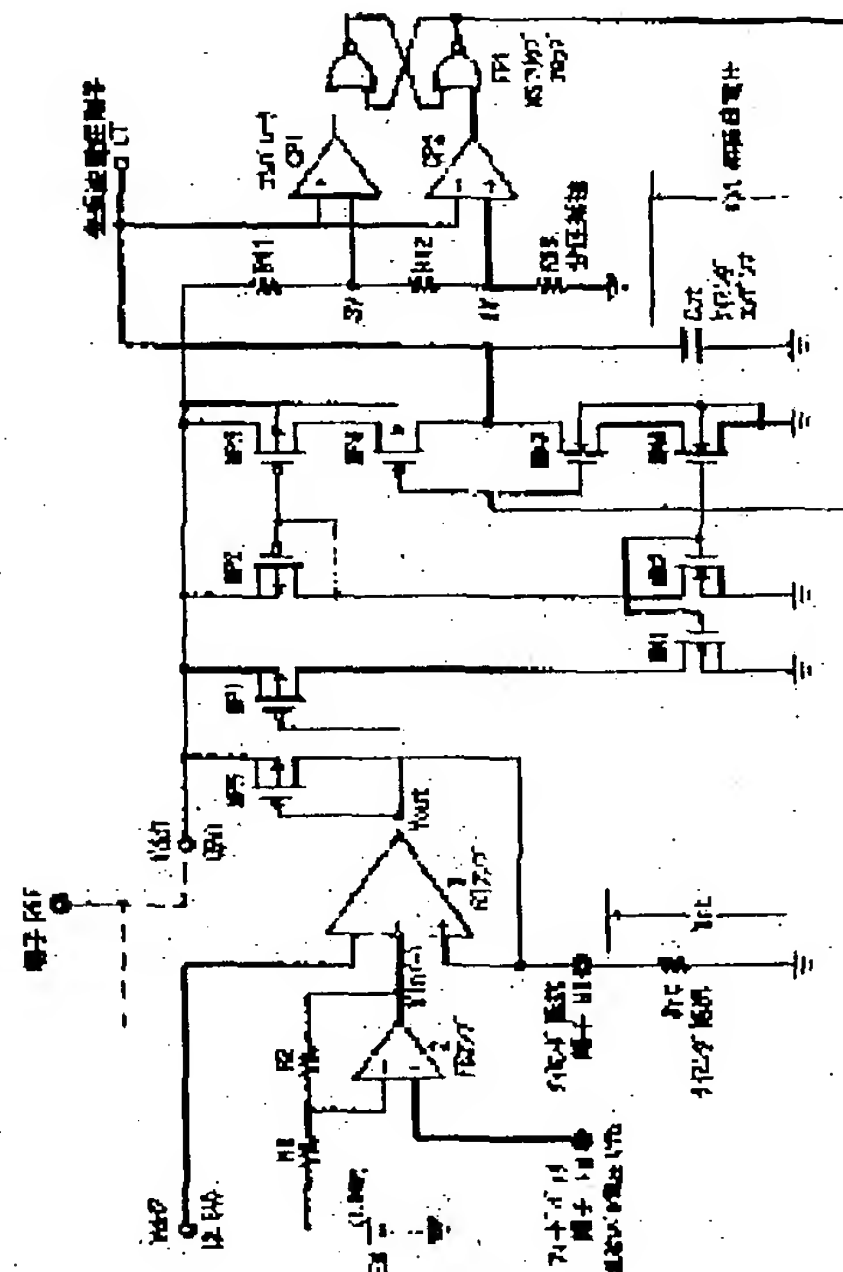
(72)Inventor : HIASA NOBUYUKI

(54) SWITCHING POWER SUPPLY UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent degradation in the efficiency of equipment at light load due to switching loss of a switching power supply unit which produces stabilized direct-current power at a specified voltage by driving a semiconductor switching element with driving pulses with their pulse width PWM-modulated obtained through comparison of a voltage V_{fb} indicating the load level of the stabilized direct-current power to be supplied and the oscillation wave voltage V_{ct} of triangular waves with a constant amplitude, and thereby opening and closing a source direct-current power supply as an energy source.

SOLUTION: MOSFETs MP3 and MN4 function as current sources which pass the same current as that passed through a resistor R_{rt} and a capacitor C_{ct} produces a voltage V_{ct} through switches (MOSTETs) MP4 and MN3, voltage dividing resistors R11 to R13, comparators CP1 and CP2, and a RS flip-flop FF1. An RT amplifier 1 controls the voltage V_{rt} of a resistor R_{rt} of (+) input so that V_{rt} is equal to either V_{dd2} of (-) input or V_{in} (-) whichever is lower. For a light load, the oscillation frequency of the voltage V_{rt} and thus the voltage V_{ct} is reduced according to the amplified voltage V_{in} (-) of a voltage V_{fb} , and thereby switching loss is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-112251

(P2001-112251A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.⁷

識別記号

F I

テ-マコード(参考)

H 0 2 M 3/28

H 0 2 M 3/28

P 5 H 7 3 0

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号

特願平11-284234

(22)出願日

平成11年10月5日(1999.10.5)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 日朝 信行

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100088339

弁理士 篠部 正治

Fターム(参考) 5H730 AA14 AS05 CC25 DD04 DD34

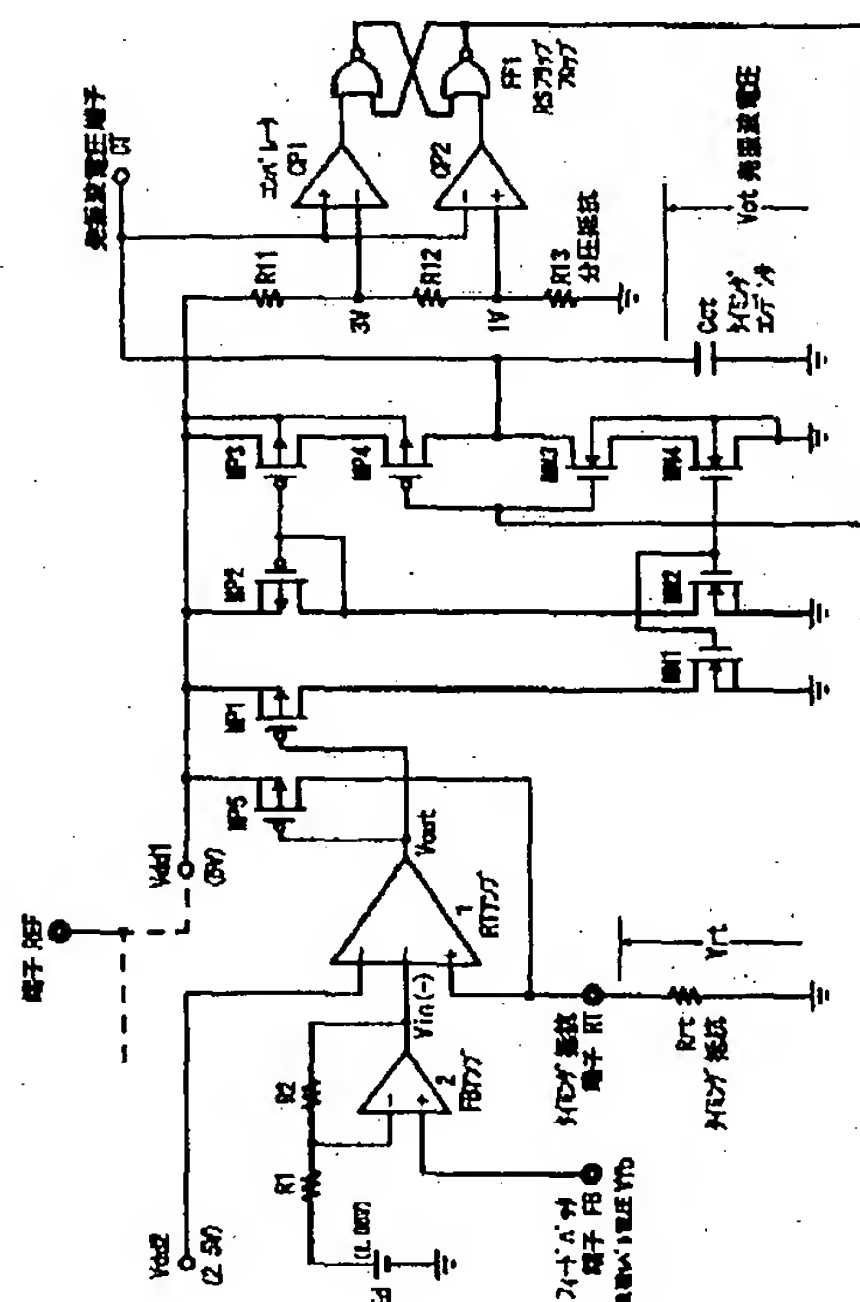
EE59 FD01 FG05 FG07

(54)【発明の名称】 スイッチング電源装置

(57)【要約】

【課題】供給する安定化直流電源の負荷レベルを表す電圧 V_{fb} と定振幅の三角波の発振波電圧 V_{ct} との比較で得られるPWM制御されたパルス幅の駆動パルスにより半導体スイッチング素子を駆動して、エネルギー源となる原直流電源を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置のスイッチングロスによる軽負荷時の装置効率の低下を防ぐ。

【解決手段】MOSFETのMP3とMN4は抵抗 R_{rt} と同じ電流を流す電流源になり、コンデンサ C_{ct} はスイッチ(MOSFET)MP4, MN3、分圧抵抗 R_{11} ~ R_{13} 、コンパレータCP1, CP2、RSフリップフロップFF1により電圧 V_{ct} を生ずる。RTアンプ1は(+)入力の抵抗 R_{rt} の電圧 V_{rt} を、(-)入力の V_{dd2} と $V_{in}(-)$ の何れか低い電圧に等しく制御し、軽負荷時は電圧 V_{fb} の増幅電圧 $V_{in}(-)$ に対応し電圧 V_{rt} 、従って電圧 V_{ct} の発振周波数を下げ、スイッチングロスを減らす。



【特許請求の範囲】

【請求項1】 所定振幅の三角波を発振出力する発振手段を備え、このスイッチング電源装置が供給する安定化直流電源の負荷レベルを示す信号と前記三角波との比較によって得られるPWM制御されたパルス幅の駆動パルスで半導体スイッチング手段を駆動して、少なくともエネルギー源となる原直流電源を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、前記発振手段が、前記負荷レベルを示す信号が所定の負荷レベルを下回る負荷レベルを示すときは、この下回

分に依じて前記三角波の発振周波数を低下させることを特徴とするスイッチング電源装置。

【請求項2】 請求項1に記載のスイッチング電源装置において、前記発振手段が、

タイミングコンデンサと、

このタイミングコンデンサをタイミング抵抗に流れる電流に比例する電流で充放電し、該タイミングコンデンサの両端に少なくとも前記三角波に対応する電圧を生成する手段と、

このタイミング抵抗の電圧を指令信号に等しく制御する制御手段と、

前記負荷レベルを示す信号が前記所定負荷レベルを上回る負荷レベルを示すときは、該指令信号として所定電圧の信号を、前記負荷レベルを示す信号が前記所定負荷レベルを下回る負荷レベルを示すときは、前記指令信号として少なくとも前記負荷レベルを示す信号から作られ、負荷レベルの低下に対応して電圧が低下する信号を前記制御手段に与える手段とを備えたことを特徴とするスイッチング電源装置。

【請求項3】 請求項1または2に記載のスイッチング電源装置において、

前記発振手段が、前記タイミング抵抗を外付けとし、前記半導体スイッチング手段に前記駆動パルスを与える回路の少なくとも一部を持つ半導体集積回路に組み込まれてなることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、制御用ICによってPWM制御された駆動パルスによって駆動される半導体スイッチング素子を介し、少なくともエネルギー源となる直流電源を開閉し、安定化直流電源を作って供給する電源装置としての、いわゆるスイッチング電源装置（スイッチング電源とも略記する）であって、特に制御用ICが半導体スイッチング素子のスイッチング損失に基づく軽負荷時のスイッチング電源装置の効率の低下を防ぐ機能を備えたスイッチング電源装置に関する。なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来の技術】 スwitchング電源装置を制御する制御用ICとしては、従来から主にパイボラ・プロセスを用いたICが使われてきた。しかし最近では、低消費電力化・低価格化の要求が厳しくなって、制御用ICの製造プロセスはBiCMOSやCMOSプロセスへの移行が進み、また回路構成についても従来よりも消費電流の低減が行われている。

【0003】 図7は制御用ICとフライバック方式のトランスを用いたスイッチング電源の回路例を示す。同図において、主スイッチング素子としてのNチャネルMOSFETのMM0は、スイッチング電源制御用IC01の出力端子OUTから出力される、後述のPWM制御（パルス幅変調の意、この場合デューティ制御ともいう）された駆動パルスDPによってON/OFF駆動される。

【0004】 これにより、MOSFETのMM0は、商用電源（AC100V）を全波整流器DB1とコンデンサC101を介し整流・平滑化した直流電源を、従来は所定の周波数で、且つフライバックトランスTrの2次側の直流出力DCVの電圧が一定となるようなデューティ、即ちON比率＝ON期間／（ON期間＋OFF期間）により断続してトランスTrの1次巻線n1に印加する。

【0005】 トランスTrの2次巻線n2には、MOSFETのMM0のOFF時に、それまで1次巻線n1を流れていた電流を維持する方向に電圧が発生することから、ダイオードD2が導通し、この電圧はコンデンサC102により平滑化され、直流出力DCVとして外部の負荷に供給される。

【0006】 直流出力電圧は、トランスTrの2次側に設けられたシャントレギュレータREGによりホトカプラPC1の発光ダイオードPDの電流（従ってその光量）として検出され、ホトカプラPC1のホトトランジスタPtrを介してトランスTrの1次側の制御用IC01のフィードバック端子FBに負荷レベル電圧Vfbとして伝えられる。

【0007】 なお、トランスTrの3次巻線n3の誘起電圧は、2次巻線n2と同様にダイオードD3を介して取り出され、ツェナーダイオードZDとコンデンサC100によって一定の直流電圧となり、制御用IC01の電源端子VCCに供給される。

【0008】 なお、制御用IC01のタイミング抵抗端子RTには、後述する発振回路の周波数を定めるタイミング抵抗Rrtが接続され、同じく端子IS+には、このスイッチング電源の過電流保護のためにトランス1次巻線n1に接続された電流検出抵抗Risの電圧が入力され、同じく端子CSには、保護動作の時限を定めるコンデンサが接続される。

【0009】 また、制御用IC01の端子REFは、このIC01内で作られる5Vの基準電源Vddlを参照す

るための端子で、この例では平滑コンデンサが接続されている。

【0010】図8は制御用IC01内の従来の発振回路の原理説明用の簡略回路を示す。なお、図8の実際の回路は後述する図1の発振回路において、RTアンプ1の2つの(−)入力端子が1つのみで、この1つの(−)入力端子に基準電圧Vdd2 (2.5V)が入力されている回路に相当する。次に図8により発振の仕組みを説明する。

【0011】①5Vの内部の基準電圧Vdd1から固定の電流値の2つの電流源Ict1及びIct2を作る。なお、図7で述べたタイミング抵抗Rctはこの電流源Ict1及びIct2の電流値を定め、この発振回路の発振周波数を定める役割を持つ。

【0012】②この電流源Ict1及びIct2の出力する定電流で右端のタイミングコンデンサCctを充放電する。スイッチSW1の上側に配置した電流源Ict1は充電用、スイッチSW2の下側の電流源Ict2は放電用に使い、スイッチSW1、SW2を交互にONすることで充放電を行う。なお、スイッチSW1、SW2は実際はCMOSトランジスタで構成されている。

【0013】③タイミングコンデンサCctの電圧(発振波電圧という) Vctを2つのコンパレータCP1、CP2に入力し、発振波形の上下限電圧と比較する。

【0014】④図の例では、コンパレータCP1が上限電圧3V、CP2が下限電圧1Vとの比較を行っており、この上限電圧3Vと下限電圧1Vは、5Vの基準電圧Vdd1を分割する分圧抵抗R11~R13により作り出される。

【0015】⑤コンパレータCP1、CP2の出力はRSフリップフロツブFF1とインバータINV1、INV2を介して、スイッチSW1、SW2を切り換える入力とする。

【0016】⑥タイミングコンデンサCctの電圧Vctが1V以下の場合、コンパレータの出力はCP1がH、CP2がLとなり、フリップフロツブFF1の出力がHになるため、上側のスイッチSW1がONしてコンデンサCctの充電を行う。充電が開始され、コンデンサCctの電圧Vctが3V以上になると、コンパレータCP1の出力がL、CP2の出力がHとなり、フリップフロツブFF1はLを出力する。そのため、上側のスイッチSW1は切れて下側のスイッチSW2が入り、コンデンサCctの放電が開始される。

【0017】⑦この充放電は定電流で行われるため、充放電の速度が一定である。従って、コンデンサCctの電圧Vctは、上下限電圧(この例では3Vと1V)の間を一定の時間をかけて昇降する。

【0018】⑧以上の仕組みによるタイミングコンデンサCctの電圧Vctの波形が図の発振波電圧端子CT部分に示すような発振波形で、立ち上がり時間と立ち下がり時

間の等しい三角波の発振波形となる。

【0019】図9はPWM制御の概念図である。次にPWM制御の方法を説明する。

【0020】①図7の制御用IC01のフィードバック端子FBに入力される負荷レベル電圧Vfbは、負荷の重さをモニタし、タイミングコンデンサCctの電圧である発振波電圧Vctの発振波形と比較できるレベルにした電圧である。この場合、負荷レベル電圧Vfbは負荷が重い時には上がり、軽い時には下がる性質を持ち、これによって制御用IC01はスイッチング電源の直流出力DCVの電圧を一定にするフィードバック制御を行う。

【0021】②発振器出力(発振波電圧Vct)と負荷レベル電圧Vfbをスイッチング電源制御用IC01内の図外のコンパレータで比較する。このコンパレータには、 $V_{ct} < V_{fb}$ の時に出力がHとなるように入力する。

③このコンパレータの出力は、制御用IC01内の図外のレベルシフタで昇圧され制御用IC01の端子OUTの出力としての駆動パルスDVとなる。つまり、駆動パルスDVは前記コンパレータの出力がHとなる期間分、Hのパルス幅を持つことになり、この駆動パルスDVのHのパルス幅の期間、MOSFETのMNOがONされる。

【0022】④従って、主スイッチング素子であるMOSFETのMNOのON期間の割合〔=ON期間/(ON期間+OFF期間)〕としてのデューティは、発振波電圧Vctが一定周期の三角波の波形となっているため、発振波電圧Vctの三角波の一周期に占める $V_{ct} < V_{fb}$ の時間の割合、つまり(コンパレータ出力Hの時間=パルス幅)/(発振周期)であり、負荷レベル電圧Vfbが高いほどデューティが大になり(1に近づき)、負荷が軽くなると負荷レベル電圧Vfbが下がりデューティが小になる(0に近づく)。

【0023】

【発明が解決しようとする課題】上述のように、スイッチング電源制御用IC01は負荷レベルに応じて供給電力を調整して負荷に安定にエネルギーを供給するためにPWM制御(デューティ制御)を行う。

【0024】図10はスイッチング電源の主スイッチング素子(図7の例ではMOSFETMNO)のスイッチングロス(この例ではターンオン時)における、素子電圧と素子電流の時間的変化の概念を示す。図10の斜線を施した期間にスイッチングロス(この場合きターンオンロス)が発生する。

【0025】このスイッチングロスは、主スイッチング素子のON/OFFの切替わり時間が零では無いことから生じるもので、主スイッチング素子のターンオン時とターンオフ時に発生してスイッチング電源の効率を下げる。

【0026】負荷が重い時にはデューティが大である

(主スイッチング素子のON期間の幅が広い)ため、供給電力に対してスイッチングロスに占める割合が小さくなり影響は少ないが、軽負荷時にはデューティが小になる(主スイッチング素子のON期間の幅が狭くなる)ため、その影響が顕著になりスイッチング電源の効率を下げる原因となる。

【0027】スイッチングロスにスイッチング速度を速くする事で低減できるが、それにも限界が有り皆無にすることはできない。

【0028】最近の各種機器への低消費電力化・低価格化の要求が厳しくなる中で、最近の電子製品の機能の一つに待機モードが有るが、このモード時の低消費電力化が特に厳しくなっており、スイッチング電源については如何に主スイッチング素子のスイッチングロスを少なくし、制御用ICの省電力化を図るかが課題である。

【0029】本発明の目的は、このような課題を解決できるスイッチング電源装置、特にその制御用ICを提供することにある。

【0030】

【課題を解決するための手段】前記の課題を解決するために、請求項1のスイッチング電源装置は、所定振幅の三角波(発振波電圧 V_{ct})を発振出力する発振手段を備え、このスイッチング電源装置が供給する安定化直流電源(トランスT1の2次側から整流・平滑化して送出される直流出力DCVなど)の負荷レベルを示す信号(負荷レベル電圧 V_{fb})と前記三角波との比較によって得られるPWM制御されたパルス幅の駆動パルス(DP)で半導体スイッチング手段(NチャネルMOSFETのMNOなど)を駆動して、少なくともエネルギー源となる原直流電源(商用電源AC100Vを全波整流器DB1で整流し、コンデンサC101で平滑化した電源など)を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、前記発振手段が、前記負荷レベルを示す信号が(負荷レベル電圧 V_{fb0} に対応する)所定の負荷レベルを下回る負荷レベルを示すときは、この下回る分に応じて前記三角波の発振周波数を低下させるようにする。

【0031】また請求項2のスイッチング電源装置は、請求項1に記載のスイッチング電源装置において、前記発振手段が、タイミングコンデンサ(C_{ct})と、このタイミングコンデンサをタイミング抵抗(R_{rt})に流れる電流に比例する電流で充放電し、該タイミングコンデンサの両端に少なくとも前記三角波に対応する電圧を生成する手段(MOSFETのMP1~MP5, MN1~MN4、分圧抵抗 R_{11} ~ R_{13} 、コンパレータCP1, CP2、RSフリップフロップFF1など)と、このタイミング抵抗の電圧を指令信号に等しく制御する制御手段(RTアンプ1の入力部のPNPトランジスタPNP1とPNP2を除いた部分、MOSFETのMP5)と、前記負荷レベルを示す信号が前記所定負荷レベルを

上回る負荷レベルを示すときは、該指令信号として所定電圧の信号(基準電圧 V_{dd2} など)を、前記負荷レベルを示す信号が前記所定負荷レベルを下回る負荷レベルを示すときは、前記指令信号として少なくとも前記負荷レベルを示す信号から(FBアンプ2、抵抗 R_1 , R_2 、基準電圧 E_d などを介して)作られ、負荷レベルの低下に対応して電圧が低下する信号(FBアンプ出力 $V_{in(-)}$)を前記制御手段に与える手段(PNPトランジスタPNP1, PNP2)とを備えたものとする。

【0032】また請求項3のスイッチング電源装置は、請求項1または2に記載のスイッチング電源装置において、前記発振手段が、前記タイミング抵抗を外付けとし、前記半導体スイッチング手段に前記駆動パルスを与える回路の少なくとも一部を持つ半導体集積回路(制御用IC01)に組み込まれてなるようにする。

【0033】本発明の作用は次の如くである。即ち、スイッチング電源の軽負荷時の効率低下を防ぐために、負荷が或るレベルより軽くなったら負荷レベルの減少に応じてリニアに発振周波数を下げる方法を探る。このようにすれば、同じ電力を供給するにもスイッチング頻度が少なくなるため、スイッチングロスの割合が少なくなり効率が改善できるからである。

【0034】発振周波数は従来技術と同様に、タイミングコンデンサ C_{ct} の充放電電流によって定まり、タイミングコンデンサ C_{ct} の充放電電流はタイミング抵抗 R_{rt} に流れる電流に等しいので、発振周波数を下げるためにはタイミング抵抗 R_{rt} に流す電流を減少させる。

【0035】このために本発明の発振回路では、タイミング抵抗 R_{rt} の電圧 V_{rt} を制御するRTアンプの、従来は基準電圧 V_{dd2} のみを入力するため1つであった

(一)入力端子を2つに変え、追加した(一)入力端子に負荷レベル電圧 V_{fb} を増幅して得た電圧 $V_{in(-)}$ を与え、この追加した入力電圧 $V_{in(-)}$ により、負荷レベルの変化をタイミング抵抗 R_{rt} に流す電流の変化に反映させる。

【0036】

【発明の実施の形態】図1は本発明の一実施例としてのスイッチング電源制御用IC01内の発振回路の構成を示し、図2は図1にシンボルで表されているRTアンプ1の回路構成を示す。なお、説明の便宜上、図2にはRTアンプ1により制御されるPチャネルMOSFETのMP5及びその負荷となるタイミング抵抗 R_{rt} の接続をも併せて示す。また、図1、図2において一重丸で示す端子は制御用IC01内の回路間の端子としての内部端子を表し、二重丸で示す端子は制御用IC01から外部に向かう端子としての外部端子を表すものとする。

【0037】まず、図1の構成と動作を述べる。端子 V_{dd2} は制御用IC01の内部で作られる基準電圧2.5Vの入力端子、端子 V_{dd1} は同じくこの制御用IC01の内部で作られる基準電圧5Vの入力端子、発振波電圧

端子CTはこの発振回路の出力端子で、この端子CTからはタイミングコンデンサCctの電圧としての三角波の発振波形を持つ発振波電圧Vctが出力される。

【0038】制御用IC01の外部端子であるフィードバック端子FBには、負荷レベル（負荷の重さ）を電圧に変換した信号である前記の負荷レベル電圧Vfbが入力され、同じく制御用IC01の外部端子であるタイミング抵抗端子RTには、外付け部品となっているタイミング抵抗Rrtが接続される。

【0039】RTアンプ1は2つの（-）入力端子と1つの（+）入力端子を持ち、その出力VoutによってPチャネルMOSFETのMP5のゲートを制御する。このMP5のドレインはタイミング抵抗端子RTを経てタイミング抵抗Rrtに接続され、このタイミング抵抗Rrtの電圧VrtはRTアンプ1の（+）入力端子に入力される。

【0040】RTアンプ1の2つの（-）入力端子の一方には基準電圧Vdd2（2.5V）が入力され、（-）入力端子の他方にはFBアンプ2の出力Vin(-)が入力される。

【0041】RTアンプ1は、この構成によって後述のように、（+）入力端子に入力される電圧、即ちタイミング抵抗Rrtの電圧Vrtが、2つの（-）入力端子の電圧の内の低い方の電圧に等しくなるような制御を行う。

【0042】本発明では、制御用IC01のフィードバック端子FBに入力される負荷レベル電圧Vfbは、図7で述べたようにPWM制御（デューティ制御）のためのフィードバック電圧として用いられるほかに、図1の発振回路のFBアンプ2の（+）入力端子にも入力される。

【0043】図3はRTアンプ1の2つの（-）入力端子に入力される電圧と負荷レベル電圧Vfbとの関係を示すが、この図3中の実線の特徴は、FBアンプ2の出力Vin(-)と負荷レベル電圧Vfbとの関係を示す。即ち、オペアンプとしてのFBアンプ2、抵抗R1、R2（但しこの例では抵抗値の比 $R1:R2=1:9$ である）及び基準電圧Ed（この例では1.06V）からなる増幅回路は、負荷レベル電圧Vfbが通常負荷モードと軽負荷モードとの切り替わり点の電圧Vfb0のとき、FBアンプ2の出力Vin(-)が基準電圧Vdd2に等しく2.5Vとなり、この点を基準として負荷レベル電圧Vfbの変化量の10倍の変化をFBアンプ2の出力Vin(-)として生ずる。

【0044】図3中の破線の特徴は、基準電圧Vdd2（2.5V）を示し、この電圧Vdd2は勿論、負荷レベル電圧Vfbに無関係に一定である。前述のようにRTアンプ1は、（+）入力端子に入力されるタイミング抵抗電圧Vrtが、2つの（-）入力端子の電圧の内の低い方の電圧に等しくなるような制御を行うので、タイミング抵抗電圧Vrtと負荷レベル電圧Vfbとの関係は図4の実

線特性のようになる。

【0045】即ち、非軽負荷時は負荷レベル電圧VfbがVfb0以上であるため、FBアンプ2の出力Vin(-)は基準電圧Vdd2（2.5V）以上である。従って、非軽負荷時にはタイミング抵抗電圧Vrtは基準電圧Vdd2（2.5V）に等しい。

【0046】一方、軽負荷時には負荷レベル電圧VfbがVfb0以下になり、FBアンプ2の出力Vin(-)は基準電圧Vdd2（2.5V）以下になるため、タイミング抵抗電圧VrtはFBアンプ2の出力Vin(-)と等しくなる。

【0047】なお、図4中の破線の特徴は従来の特性を示し、タイミング抵抗電圧Vrtは負荷レベル電圧Vfbに無関係に基準電圧Vdd2（2.5V）のままである。ところで、図1のPチャネルMOSFETのMP5とMP1とはゲート・ソース電圧が等しく、MP5に流れる電流、つまりタイミング抵抗Rrtに流れる電流とMP1に流れる電流は等しい。

【0048】またMP1とNチャネルMOSFETのMN1は直列に接続され、NチャネルMOSFETのMN1、MN2、MN4のゲート・ソース電圧は等しく、さらにMN2とMN4にそれぞれ直列に接続されたPチャネルMOSFETのMP2とMP3がカレントミラー回路を構成している。

【0049】このため、MOSFETのMP2、MP3、MN1、MN2、MN4を流れる電流は全てタイミング抵抗Rrtに流れる電流と等しく、結果としてMOSFETのMP3とMN4がタイミング抵抗Rrtに流れる電流と同じ電流でタイミングコンデンサCctを充放電する定電流源になる。

【0050】なお、PチャネルMOSFETのMP4とNチャネルMOSFETのMN3はRSフリップフロップFF1の出力によって交互にON/OFFされ、それぞれ電流源のMP3とMN4をタイミングコンデンサCctに接続するスイッチ（図8のSW1、SW2）の役割を持つ。

【0051】図1のこれら電流源MP3、MN4、スイッチMP4、MN3、タイミングコンデンサCct、及びこれより右側の分圧抵抗R11～R13、コンパレータCP1、CP2、RSフリップフロップFF1からなる回路は従来技術で述べた図8の構成と基本的には同じである。

【0052】但し、図1ではタイミングコンデンサCctの電圧Vctが下降し、1V以下になろうとするとコンパレータCP1の出力がL、コンパレータCP2の出力がHとなって、RSフリップフロップFF1の出力がLとなり、スイッチMP4がON、MN3がOFFとなつて、電流源MP3によってコンデンサCctの充電が行われる。

【0053】また、タイミングコンデンサCctの電圧V

ctが上昇し、3V以上になるとコンパレータCP1の出力がH、コンパレータCP2の出力がLとなつて、RSフリップフロップFF1の出力がHとなり、スイッチMP4がOFF、MN3がONとなつて、電流源MN4によってコンデンサCctの放電が行われる。

【0054】このようにして図1の発振回路では、図4に示したように制御用IC01のフィードバック端子FBの電圧としての負荷レベル電圧VfbがVfb0以上の時には、タイミング抵抗電圧Vrtが基準電圧Vdd2(2.5V)に保たれ、従つてタイミング抵抗Rrtを流れる電流、つまりタイミングコンデンサCctの充放電電流が大きく且つ一定に保たれることから発振周波数が大きく且つ一定の値を保つ。

【0055】他方、負荷レベル電圧VfbがVfb0以下の時はタイミング抵抗電圧Vrt、従つてタイミングコンデンサCctの充放電電流が負荷レベル電圧Vfbの低下と共に下がることになり、これに伴つて発振周波数も低下する。

【0056】次に図2によりRTアンプ1の具体的な構成と動作を説明する。このRTアンプ1は従来のRTアンプに対し、FBアンプ2の出力Vin(-)を入力する

(-)入力端子と、この(-)入力端子がベースに接続されたPNPトランジスタPNP1が追加されている。

【0057】このRTアンプ1の従来と同じ(-)入力端子には基準電圧Vdd2(2.5V)が入力されている。なお、この入力端子よりグランドに向けて抵抗R21、NPNトランジスタNPN1、NチャネルMOSFETのMN11が順次直列に接続されているが、この回路は図2の回路のバイアス源を構成する。

【0058】即ち、NチャネルMOSFETのMN11と12はカレントミラー回路を構成し、PチャネルMOSFETのMP11~MP13、MP16、MP17もカレントミラー回路を構成しており、MP11~MP13、MP16、MP17に流れる電流はMN11に流れる電流に比例する。

【0059】従つて、MP13の供給電流は一定であり、PチャネルMOSFETのMP14とMP15は、ソースがMP13のドレインに共通に接続されているところから、MP14とMP15を流れる電流の和は一定となる。

【0060】図2のRTアンプ1の新たな(-)入力端子には前述のようにFBアンプ2の出力Vin(-)が入力されるが、基準電圧Vdd2(2.5V)とFBアンプ2の出力Vin(-)の電圧は、それぞれエミッタがMP14のゲートに共通に接続されたPNPトランジスタであるPNP2とPNP1で受けているため、2つの入力Vdd2とVin(-)のうちの低い電圧により、MP14がONとなる。

【0061】また図2の右側では、RTアンプ1の出力端子VoutがPチャネルMOSFETのMP5のゲート

に接続され、MP5のドレインはRTアンプ1の(+)入力端子となるPNPトランジスタPNP3のベースに接続されると共に、タイミング抵抗端子RTを介してタイミング抵抗Rrtに接続されている。従つてタイミング抵抗Rrtの電圧VrtがトランジスタPNP3のベースに入力される。

【0062】図2の回路ではMOSFETのMP14とMP15のゲートの電位が等しくなることによって安定する。その理由は、仮にMP15のゲート電位がMP14のゲート電位より高くなつたとすると、MP14のON抵抗がMP15のON抵抗より低くなり、MP14の電流がMP15の電流より多くなる。

【0063】MP14の電流はNチャネルMOSFETのMN13に流れ、MN13はMN13とカレントミラー回路を構成するNチャネルMOSFETのMN14の電流を自身の電流と等しくしようとしてMN14のゲート電位を高め、そのON抵抗を下げるが、MN14の電流はMP15の電流に等しく、MN13の電流より少ないため、MN14のドレイン電位、従つてNチャネルMOSFETのMN15のゲート電位は下がり、MN15のON抵抗が増加し、RTアンプ出力Voutの電位を高める。これにより、MOSFETのMP5の電流が低下し、タイミング抵抗電圧Vrt、従つてMP15のゲート電位が低下する。

【0064】MP15のゲート電位がMP14のゲート電位より低くなつた場合は上記の動作の逆となり、結局MP14とMP15の電流、従つてMP14とMP15のゲート電位が等しくなつて落ち着く。

【0065】つまりは、RTアンプ1の2つの(-)入力端子の電圧、即ち基準電圧Vdd2(2.5V)及びFBアンプ出力Vin(-)のうちの何れか低い電圧と、RTアンプ1の(+)入力端子の電圧としてのタイミング抵抗Rrtの電圧Vrtが等しくなつて落ち着くことになる。

【0066】

【発明の効果】本発明によれば、所定振幅の三角波の電圧Vctを発振出力する発振回路を備え、このスイッチング電源装置が供給する安定化直流電源の負荷レベルを示す信号としての負荷レベル電圧Vfbと前記三角波電圧Vctとの比較によって得られるPWM制御されたパルス幅の駆動パルスで半導体スイッチング素子を駆動して、少なくともエネルギー源となる原直流電源を開閉し、所定電圧の前記安定化直流電源を生成するスイッチング電源装置において、前記負荷レベル電圧Vfbが所定電圧Vfb0を下回る軽負荷時には、この負荷レベル電圧Vfbの下回る分に応じて、前記発振手段が出力する前記三角波電圧Vctの発振周波数を低下させるようにし、このために、前記発振回路における、タイミング抵抗Rrtの電圧、従つて三角波の発振波電圧Vctを発生するタイミングコンデンサCctの充放電電流の電流値、従つて発振周波数、を定めるRTアンプに与える、周波数指令用入力信号を

従来の V_{dd2} (2.5V) より1つ増やして、前記負荷レベル電圧 V_{fb} からFBアンプ2等を介して作った信号 $V_{in(-)}$ を別の周波数指令用入力信号として追加入力し、軽負荷時にはこの追加入力した周波数指令用入力信号 $V_{in(-)}$ がRTアンプに優先選択されるようにしたので、少ない回路変更のみ(具体的には、FBアンプ2部分の回路の追加と、RTアンプ1内の信号 $V_{in(-)}$ の入力部のトランジスタPNP1の追加)で、軽負荷時の半導体スイッチング素子のスイッチング周波数、従ってスイッチングロスを低下させ、スイッチング電源装置の効率低下を防ぐことができる。

【0067】図1の本発明の実施回路例では、通常モードにおいては100kHzで行う発振を、軽負荷モードにおける最軽負荷時には20kHzで発振するようにしている。図5は発振波電圧 V_{ct} の三角波の波形を、通常モードの場合(実線波形)と軽負荷モードの場合(点線波形)とで対比して示す。

【0068】また、図6はスイッチング電源制御用ICの負荷対効率曲線を、従来(f 一定)〔ここで f は発振周波数を意味する〕と、本発明(f 可変)とで対比して示す。理論計算による曲線ではあるが、本発明により軽負荷時の効率が改善されることが解る。

【図面の簡単な説明】

【図1】本発明の一実施例として発振回路の要部の構成図

【図2】図1のRTアンプの回路図

【図3】図1のRTアンプの(-)入力端子の入力信号と負荷レベル電圧との関係を示す特性図

【図4】図1のタイミング抵抗電圧と負荷レベル電圧との関係を示す特性図

【図5】本発明に基づく発振波電圧の波形図

【図6】本発明に基づくスイッチング電源装置の負荷対効率の曲線を従来と対比する図

【図7】スイッチング電源装置の要部の構成例を示す回路図

【図8】従来の発振回路の原理説明用の回路図

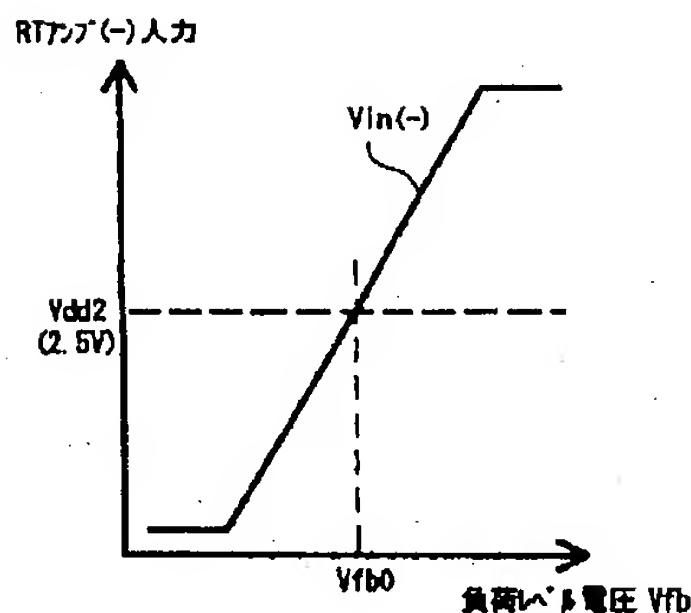
【図9】スイッチング電源装置のPWM制御(デューティ制御)の概念図

【図10】半導体スイッチング素子のスイッチングロスの概念図

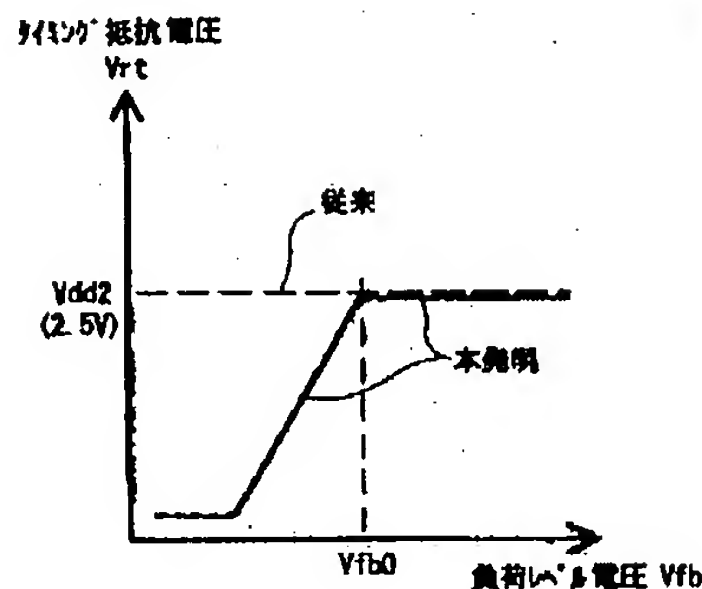
【符号の説明】

01	制御用IC
1	RTアンプ
2	FBアンプ
DP	駆動パルス
Cct	タイミングコンデンサ
Vct	発振波電圧
Rrt	タイミング抵抗
Vrt	タイミング抵抗電圧
CT	発振波電圧端子
FB	フィードバック端子
RT	タイミング抵抗端子
Vfb	負荷レベル電圧
Ed, Vdd1, Vdd2	基準電圧
CP1, CP2	コンパレータ
FF1	RSフリップフロップ
MP1~MP17	PチャネルMOSFET
MN0~MN15	NチャネルMOSFET
PNP1~PNP3	PNPトランジスタ
NPN1	NPNトランジスタ
R1~R21	抵抗

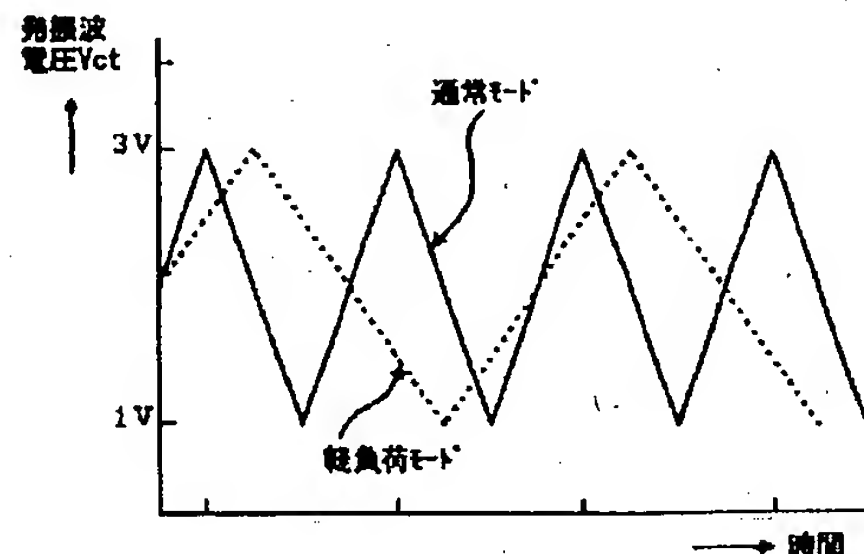
【図3】



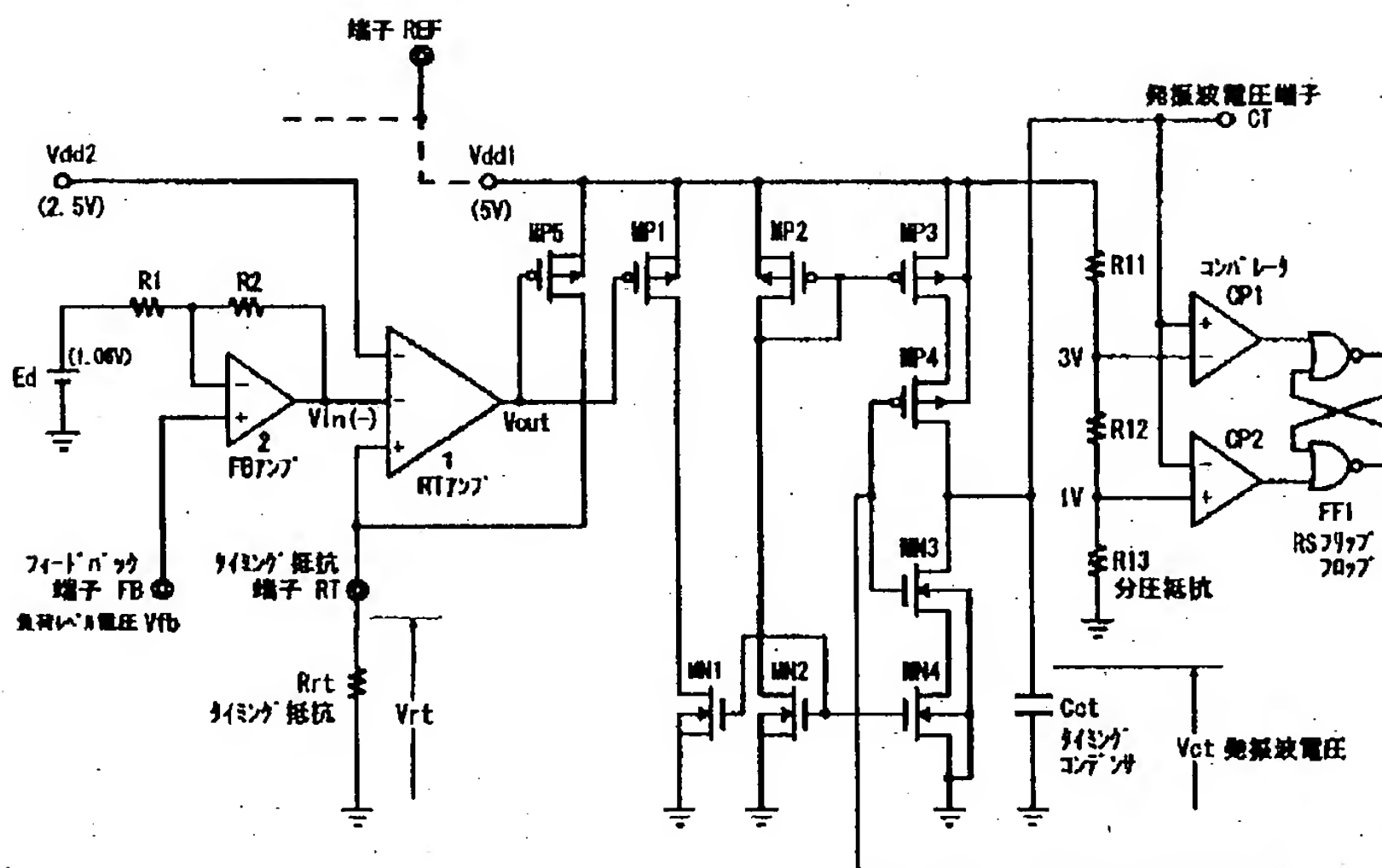
【図4】



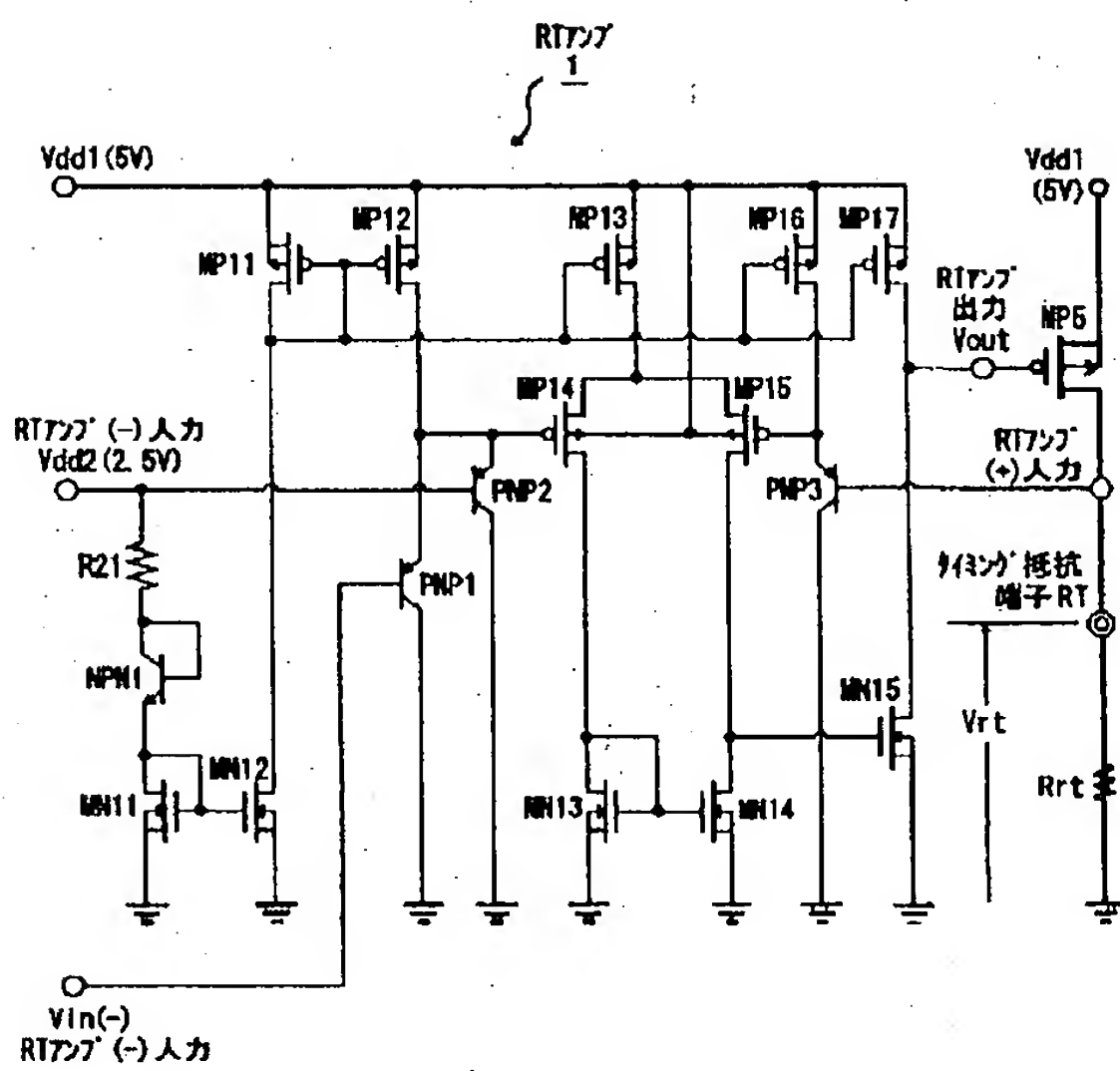
【図5】



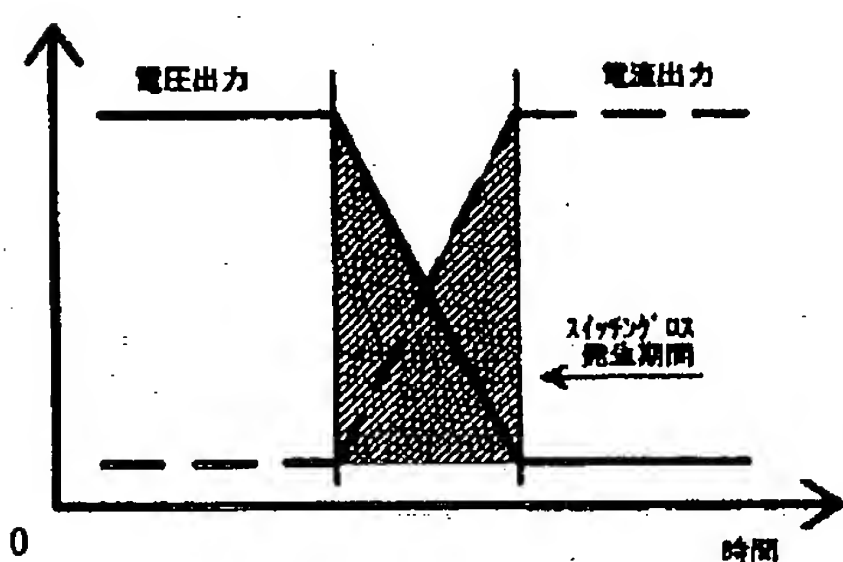
【図1】



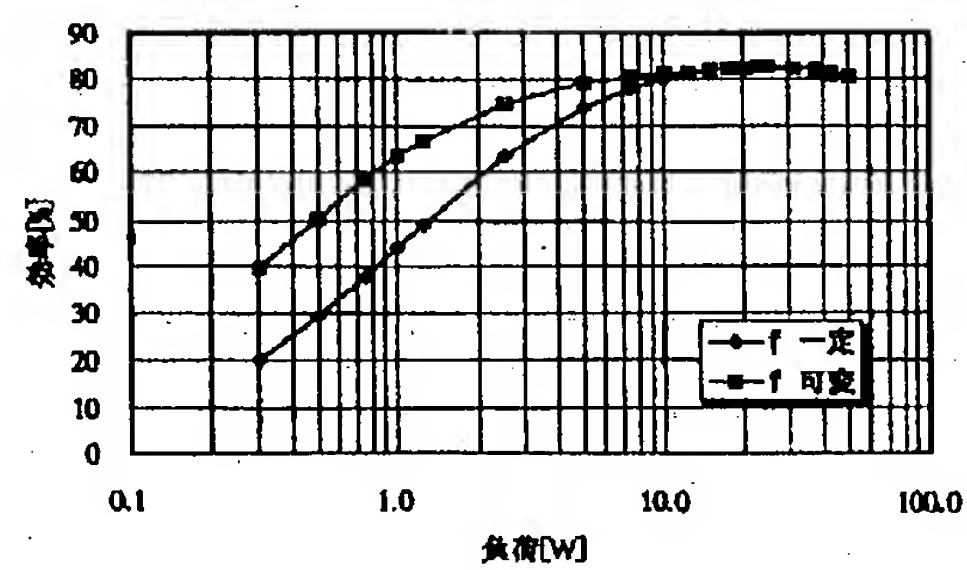
【図2】



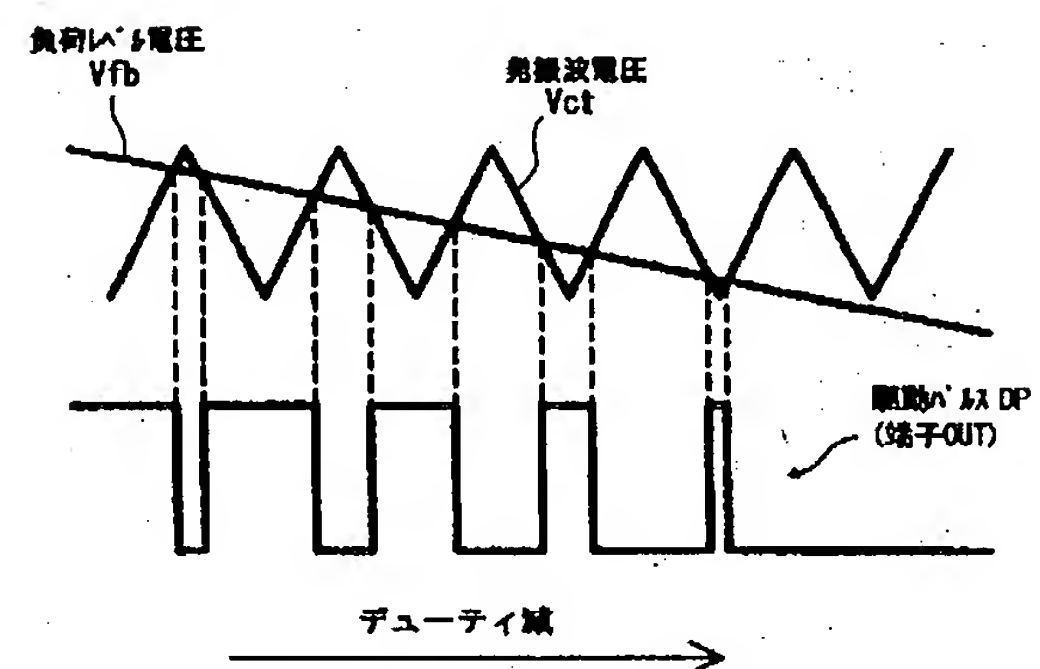
【図10】



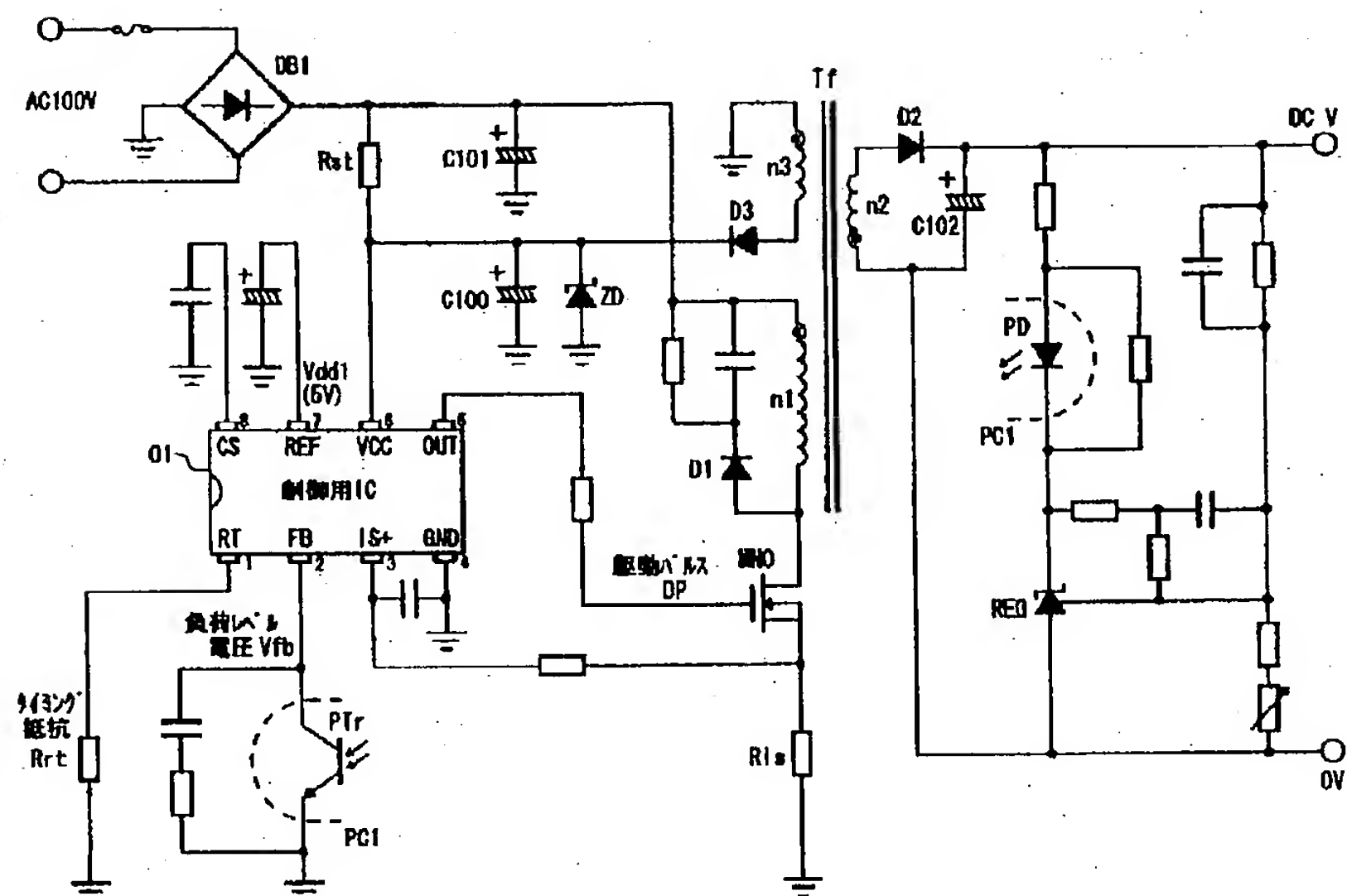
【図6】



【図9】



【圖 7】



【図 8】

